

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 000044930 A  
 (43)Date of publication of application: 15.07.2000

(21)Application number: 980061433  
 (22)Date of filing: 30.12.1998

(71)Applicant: HYUNDAI ELECTRONICS  
 IND. CO., LTD.  
 (72)Inventor: CHOI, HYEONG BOK  
 HONG, GWON

(51)Int. Cl H01L 27/108

## (54) FABRICATION METHOD OF CAPACITOR FOR SEMICONDUCTOR DEVICE

## (57) Abstract:

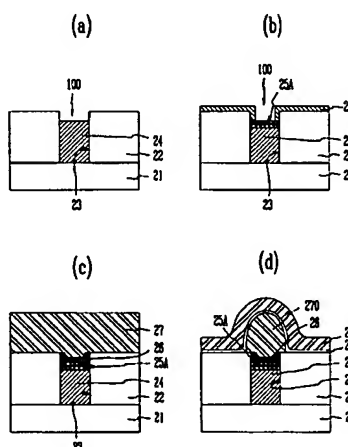
PURPOSE: A fabrication method of capacitor for semiconductor device is provided to suppress direct contact between an anti-reflective coating layer and a high dielectric, thereby enhancing contact resistance, assuring high dielectric factor and increasing reliability.

CONSTITUTION: A fabrication method of capacitor for semiconductor device comprises steps of: forming an interlayer insulation film having a contact hole on a substrate; forming a capacitor contact plug within the contact hole and then forming recesses on the plug using TMAH solution; depositing a Ti layer on the insulation film and then forming a TiSi<sub>2</sub> layer on the recesses by thermal process; removing the Ti layer, forming a TiN layer, polishing the TiN layer with remaining the TiSi<sub>2</sub> on the recesses and then forming a Pt layer; patterning the Pt layer to form a capacitor lower electrode; and forming a dielectric film and a capacitor upper electrode.

COPYRIGHT 2000 KIPO

Legal Status

Final disposal of an application (application)



BEST AVAILABLE COPY

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특2000-0044930  
H01L 27/108 (43) 공개일자 2000년07월15일

(21) 출원번호 10-1998-0061433  
(22) 출원일자 1998년12월30일  
(71) 출원인 현대전자산업 주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 최형복  
경기도 성남시 분당구 정자동 한솔마을 청구아파트 105-204호  
홍권  
경기도 성남시 분당구 아탑동 탑마을 경남아파트 713-1703  
(74) 대리인 신영무, 최승민

심사청구 : 없음

(54) 반도체 소자의 캐패시터 제조 방법

요약

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 캐패시터 하부 전극으로 Pt/TiN/TiSi<sub>2</sub>를 사용하고, 캐패시터 유전체막으로 고유전체를 사용할 때, 캐패시터 콘택 플러그를 습식 식각으로 일정 두께 제거하여 리세스(recess)를 형성하여 확산 방지막과 고유전체의 직접 접촉을 억제하여 접촉 저항 특성이 우수하고, 고유전체 특성을 확보하여 신뢰성 높은 캐패시터를 제조할 수 있는 반도체 소자의 캐패시터 제조 방법에 관하여 기술된다.

도표도

도2

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2b는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 21: 반도체 기판 12, 22: 홈간 절연막  
13, 23: 콘택홀 14, 24: 캐패시터 콘택 플러그  
15, 25: Ti층 15A, 25A: TiSi<sub>2</sub>층  
16, 26: TiN층 17, 27: 백금층  
170, 270: 캐패시터 하부 전극 18, 28: 캐패시터 유전체막  
19, 29: 캐패시터 상부 전극 100: 리세스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 캐패시터 하부 전극으로 Pt/TiN/TiSi<sub>2</sub>를 사용하고, 캐패시터 유전체막으로 고유전체를 사용할 때, 캐패시터 콘택 플러그를 습식 식각으로 일정 두께 제거하여 리세스(recess)를 형성하여 확산 방지막과 고유전체의 직접 접촉을 억제하여 접촉 저항 특성이 우수하고, 고유전체 특성을 확보하여 신뢰성 높은 캐패시터를 제조할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

일반적으로, 반도체 소자가 고집적화, 소형화 및 고속화되어 감에 따라 캐패시터가 차지하는 면적 또한

줄어들게 된다. 반도체 소자가 고집적화 및 소형화되더라도 반도체 소자를 구동시키기 위한 캐패시터의 정전 용량은 최소한 확보되어야 한다. 캐패시터의 정전 용량은 확보하기 위한 한 방안으로 캐패시터 하부 전극을 실린더 구조, 스택 구조, 벨로우즈 구조, 핀 구조 등 다양한 구조로 형성하여 제한된 면적 하에서 캐패시터 하부 전극의 유효 표면적을 극대화시키고 있다. 캐패시터의 정전 용량을 확보하기 위한 다른 방안으로 캐패시터 유전체막으로 BST, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 고유전체를 적용하고 있다. BST, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 고유전체를 적용할 경우 전기적 특성 측면에서 백금이 유리하여 많이 검토되고 있다. 백금을 이용하여 캐패시터 하부 전극을 형성할 때, 캐패시터 콘택홀에 캐패시터 콘택 플러그를 먼저 형성하고, 캐패시터 콘택 플러그와 백금층간의 접착성, 이온 확산 방지 및 콘택 저항을 개선하기 위해 Ti층과 TiN층이 적용된다. 즉, 고유전체 캐패시터의 하부 전극으로 Pt/TiN/TiSi<sub>2</sub>를 많이 사용하고 있다.

도 1a 내지 도 1c는 종래 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 소자를 구성하기 위한 여러 요소가 형성된 반도체 기판(11) 상에 층간 절연막(12)을 형성한다. 층간 절연막(12)의 일부분을 식각 하여 반도체 기판(11)이 노출되는 콘택홀(13)을 형성하고, 콘택홀(13) 내부에 도프트 폴리실리콘(doped polysilicon)과 같은 전도성 물질로 캐패시터 콘택 플러그(14)를 형성한다. 콘택 플러그(14)를 포함한 층간 절연막(12) 상에 Ti층(15), TiN층(16) 및 백금층(17)을 순차적으로 형성한다. 캐패시터 콘택 플러그(14)와 Ti층(15)의 계면에서는 후속 열공정에 의해 TiSi<sub>2</sub>층(15a)이 형성된다.

도 1b를 참조하면, 캐패시터 하부 전극용 마스크를 사용한 비등방성(anisotropic)의 방향성을 갖는 건식 식각 공정으로 백금층(17), TiN층(16) 및 Ti층(15)을 순차적으로 식각 하여 캐패시터 콘택 플러그(14)와 연결된 캐패시터 하부 전극(170)을 형성한다.

도 1c를 참조하면, 캐패시터 하부 전극(170)을 포함한 층간 절연막(12) 상에 BST, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 고유전체로 캐패시터 유전체막(18)을 형성하고, 유전체막(18) 상에 전도성 물질로 캐패시터 상부 전극(19)을 형성한다.

상기한 바와 같이 기존의 고유전체 캐패시터는 먼저 캐패시터 도프트 폴리실리콘으로 캐패시터 콘택 플러그를 형성하고, 접착층 및 확산방지층으로 Ti/TiN층을 형성하고, 캐패시터 하부 전극으로 백금층을 형성한다. 이를 층을 패터닝하여 캐패시터 하부 전극을 형성한 후, BST, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 고유전체로 캐패시터 유전체막을 형성한다. 유전체막 형성 공정중 열처리 과정에서 산소(oxygen) 확산에 의하여 Ti/TiN층의 형성은 열처리 공정 조절에 의해서 어느 정도 방지가 가능하지만, 도 1c에 도시된 'A' 부분에서와 같이 고유전체로 된 유전체막과 접착층 및 확산방지층으로서의 Ti/TiN층이 직접 접촉에 의해서 발생하는 캐패시터 특성의 저하가 중요한 문제가 되고 있다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명은 캐패시터 하부 전극으로 Pt/TiN/TiSi<sub>2</sub>를 사용하고, 캐패시터 유전체막으로 고유전체를 사용할 때, 캐패시터 콘택 플러그를 습식 식각으로 일정 두께 제거하여 리세스(recess)를 형성하여 확산 방지막과 고유전체의 직접 접촉을 억제하여 접촉 저항 특성이 우수하고, 고유전체 특성을 확보하여 신뢰성 높은 캐패시터를 제조할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 반도체 소자의 캐패시터 제조 방법은 콘택홀을 갖는 층간 절연막이 형성된 반도체 기판이 제공되는 단계; 상기 콘택홀 내부에 캐패시터 콘택 플러그를 형성한 후, 상기 캐패시터 콘택 플러그에 리세스를 형성하는 단계; 상기 리세스를 갖는 캐패시터 콘택 플러그를 포함한 층간 절연막 상에 Ti층을 증착한 후, 후속 열공정에 의해 상기 리세스 부분에 TiSi<sub>2</sub>층이 형성되는 단계; Ti반응된 Ti층을 제거한 후, TiN층을 형성하고, 상기 TiN층을 연마하여 상기 리세스 부분의 TiSi<sub>2</sub>층 상에 남긴 후, 백금층을 형성하는 단계; 상기 백금층을 패터닝하여 캐패시터 하부 전극을 형성하는 단계; 및 상기 캐패시터 하부 전극 상에 캐패시터 유전체막 및 캐패시터 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

#### 발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 반도체 소자를 구성하기 위한 여러 요소가 형성된 반도체 기판(21) 상에 층간 절연막(22)을 형성한다. 층간 절연막(22)의 일부분을 식각 하여 반도체 기판(21)이 노출되는 콘택홀(23)을 형성하고, 콘택홀(23) 내부에 캐패시터 콘택 플러그(24)를 형성한다. 캐패시터 콘택 플러그(24)를 습식 식각으로 일정 두께 제거하여 리세스(recess; 100)를 형성한다. 리세스(100)를 형성한 후에 자연 산화막 및 결합 요인 등을 세정 공정을 통해 제거한다.

상기에서, 캐패시터 콘택 플러그(24)는 도프트 폴리실리콘(doped polysilicon)과 같은 전도성 물질을 화학기상증착법으로 증착한 후, 화학기계적 연마 공정으로 연마하여 형성한다. 리세스(100)를 형성하기 위한 캐패시터 콘택 플러그(24)의 습식 식각 공정은 TMAH 습식 화학제를 사용한다. 이때, TMAH 용액의 농도는 1.0 내지 5.0wt%이고, 온도는 30 내지 90°C이다.

도 2b를 참조하면, 리세스(100)를 갖는 캐패시터 콘택 플러그(24)를 포함한 층간 절연막(22) 상에 Ti층(25)을 증착하고, 후속 열공정으로 캐패시터 콘택 플러그(24)와 Ti층(25)의 계면에 TiSi<sub>2</sub>층(25a)이 형성된다.

상기에서, Ti층(25)은 100 내지 300Å의 두께로 형성한다. TiSi<sub>2</sub>층(25A)을 형성하기 위한 열공정은 500 내지 900°C의 온도에서 실시한다.

도 2c를 참조하면, 미반응된 Ti층(25)을 제거한 후, 캐패시터 콘택 플러그(24)상의 TiSi<sub>2</sub>층(25A)을 포함한 층간 절연막(22) 상에 TiN층(26)을 형성하고, TiN층(26)을 화학 기계적 연마 공정으로 연마하여 리세스(100) 부분의 TiSi<sub>2</sub>층(25A) 상에 남긴다. TiN층(26)을 포함한 층간 절연막(22) 상에 백금층(27)을 형성한다.

상기에서, 미반응된 Ti층(25)은 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> 혼합 화학 용액을 사용하여 제거한다. TiN층(26)은 스퍼터링법으로 100 내지 500Å의 두께로 증착하여 형성된다. 백금층(27)은 스퍼터링법으로 1000 내지 3000Å의 두께로 증착하여 형성된다.

도 2d를 참조하면, 캐패시터 하부 전극용 마스크를 사용한 비등방성(anisotropic)의 방향성을 갖는 건식 식각 공정으로 백금층(27)을 식각 하여 캐패시터 콘택 플러그(24), TiSi<sub>2</sub>층(25A) 및 TiN층(26)이 적층된 부분과 연결된 캐패시터 하부 전극(270)을 형성한다. 캐패시터 하부 전극(270)을 포함한 층간 절연막(22) 상에 캐패시터 유전체막(28)을 형성하고, 유전체막(28) 상에 캐패시터 상부 전극(29)을 형성한다.

상기에서, 캐패시터 유전체막(28)은 BST, Ta<sub>2</sub>O<sub>5</sub> 등과 같은 고유전체를 300 내지 500Å의 두께로 증착하여 형성된다. 캐패시터 상부 전극(29)은 폴리실리콘, TiN, Pt 와 같은 전도성 물질을 스퍼터링법으로 증착하여 형성된다.

#### 발명의 효과

상술한 바와 같이, 본 발명은 캐패시터 하부 전극으로 Pt/TiN/TiSi<sub>2</sub>를 사용하고, 캐패시터 유전체막으로 고유전체를 사용할 때, 캐패시터 콘택 플러그를 습식 식각으로 일정 두께 제거하여 리세스(recess)를 형성하여 확산 방지막과 고유전체의 직접 접촉을 억제하여 접촉 저항 특성이 우수하고, 고유전을 특성을 확보하여 신뢰성 높은 캐패시터를 제조할 수 있다.

#### (5) 청구의 범위

청구항 1. 콘택홀을 갖는 층간 절연막이 형성된 반도체 기판이 제공되는 단계;

상기 콘택홀 내부에 캐패시터 콘택 플러그를 형성한 후, TMAH 용액을 이용하여 상기 캐패시터 콘택 플러그에 리세스를 형성하는 단계;

상기 리세스를 갖는 캐패시터 콘택 플러그를 포함한 층간 절연막 상에 Ti층을 증착한 후, 후속 열공정에 의해 상기 리세스 부분에 TiSi<sub>2</sub>층이 형성되는 단계;

미반응된 Ti층을 제거한 후, TiN층을 형성하고, 상기 TiN층을 연마하여 상기 리세스 부분의 TiSi<sub>2</sub>층 상에 남긴 후, 백금층을 형성하는 단계;

상기 백금층을 패터닝하여 캐패시터 하부 전극을 형성하는 단계; 및

상기 캐패시터 하부 전극 상에 캐패시터 유전체막 및 캐패시터 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 캐패시터 콘택 플러그는 도프트 폴리실리콘과 같은 전도성 물질을 화학기상증착법으로 증착한 후, 화학기계적 연마 공정으로 연마하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 3. 제 1 항에 있어서,

상기 리세스는 30 내지 90°C의 온도에서 1.0 내지 5.0wt% 농도의 TMAH 용액을 사용한 습식 식각으로 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 4. 제 1 항에 있어서,

상기 Ti층은 100 내지 300Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5. 제 1 항에 있어서,

상기 TiSi<sub>2</sub>층을 형성하기 위한 열공정은 500 내지 900°C의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6. 제 1 항에 있어서,

상기 미반응된 Ti층은 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> 혼합 화학 용액을 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 7. 제 1 항에 있어서,

상기 TiN층은 스퍼터링법으로 100 내지 500Å의 두께로 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 8. 제 1 항에 있어서,

상기 백금층은 스퍼터링법으로 1000 내지 3000Å의 두께로 증착하여 형성되는 것을 특징으로 하는 반도체

소자의 캐패시터 제조 방법.

청구항 9. 제 1 항에 있어서,

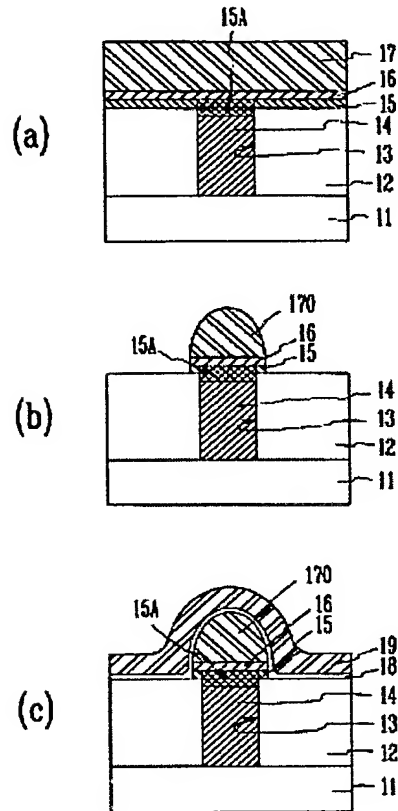
상기 캐패시터 유전체막은 BST,  $Ta_2O_5$  와 같은 고유전체를 300 내지 500 Å의 두께로 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 10. 제 1 항에 있어서,

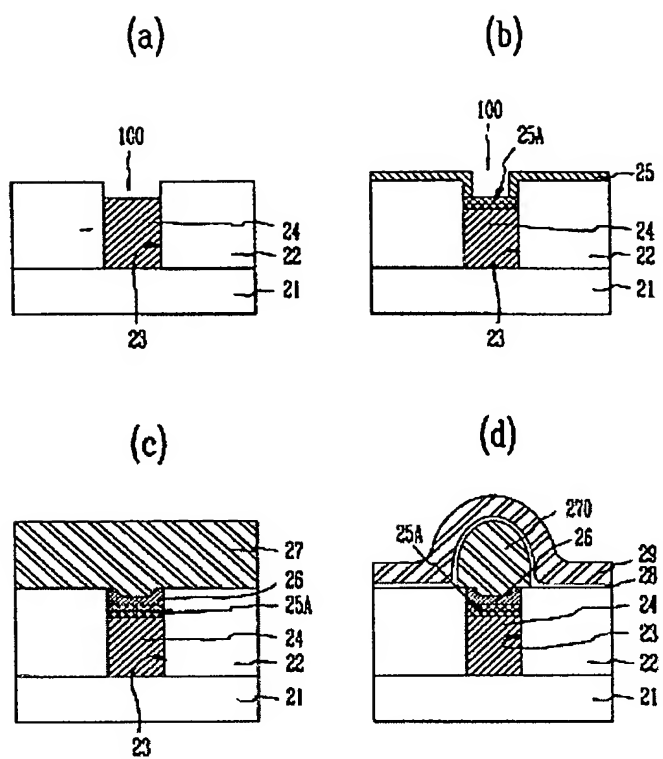
상기 캐패시터 상부 전극은 폴리실리콘, TiN, Pt 와 같은 전도성 물질을 스퍼터링법으로 증착하여 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

도면



5122



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.